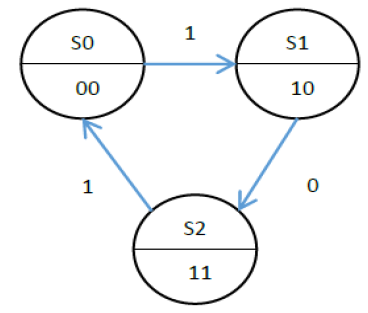
**گزارش دستورکار چهارم آزمایشگاه معماری کامپیوتر**

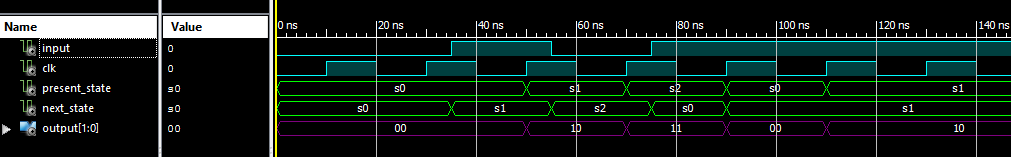
نگار موقتیان، 9831062

**ماژول moore\_machine**

در ابتدا پیش از شروع آزمایش­های اصلی، برای آشنایی با نحوۀ پیاده سازی مدارهای ترتیبی در VHDL، مدار حالت ترتیبی Moore موجود در دستورکار پیاده سازی شد. دیاگرام حالت این مدار به صورت زیر می­باشد:



پس از آن شبیه سازی این مدار توسط test bench نوشته شده انجام شد، تا رفتار مدار را با دیاگرام حالت داده شده تطبیق داده و از صحت آن اطمینان حاصل کنیم. رفتار سیگنال های خروجی مدار در ادامه آمده است.

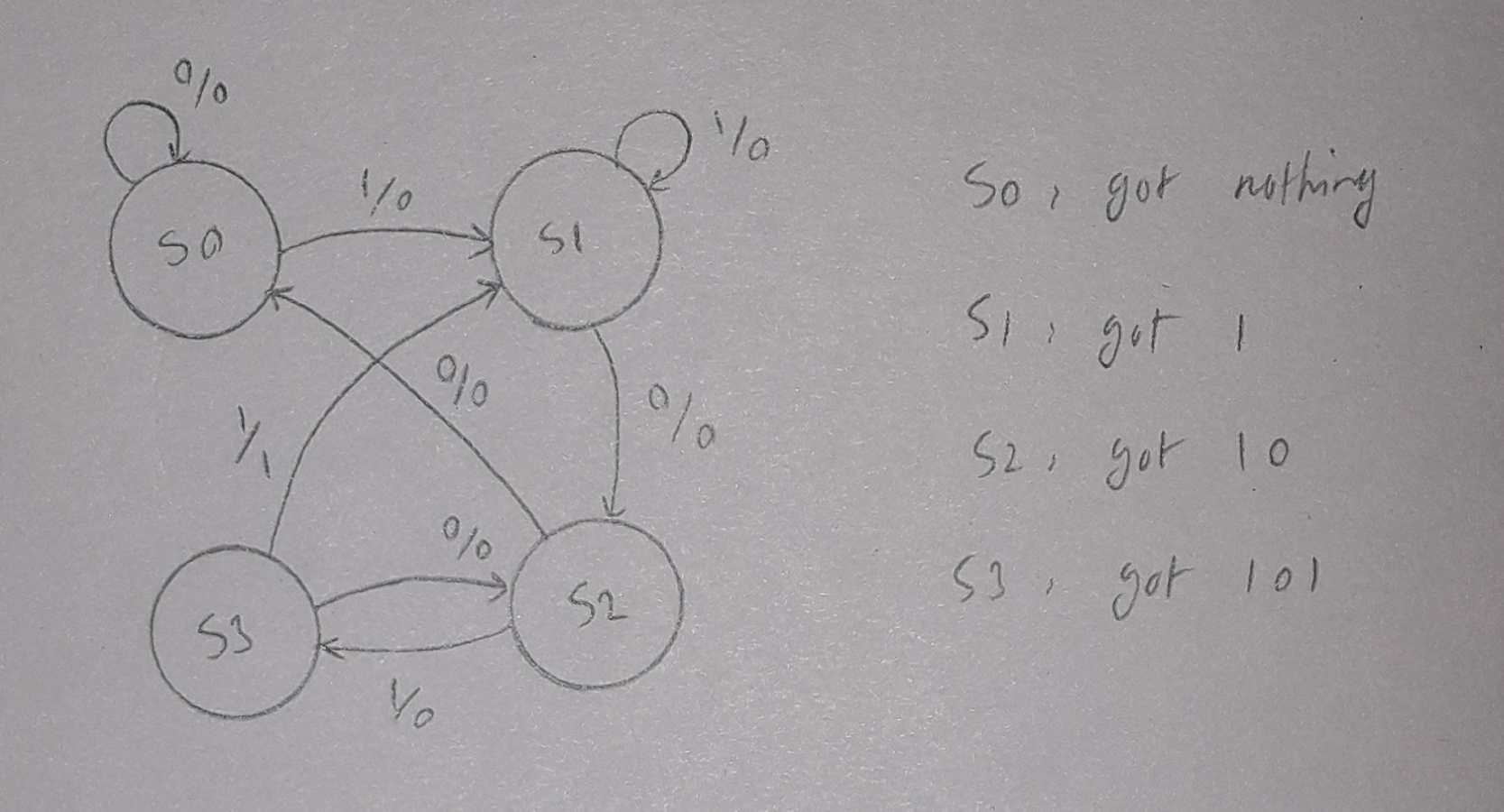


همانطور که پیش­تر گفته شد این مدار ترتیبی یک مدار Moore است، زیرا خروجی هر state تنها به خود state بستگی داشته و ورودی مدار بر روی آن تاثیری ندارد. بنابراین در یک مدار Moore خروجی­ها تنها با آمدن لبۀ بالاروندۀ کلاک تغییر می­کنند. این رفتار در شکل بالا مشاهده می­شود. ابتدا به صورت پیش­فرض در حالت S0 بوده­ایم. با 1 شدن ورودی مدار در لبۀ بالاروندۀ بعدی به حالت S1، با 0 شدن ورودی مدار در لبۀ بالاروندۀ بعدی به حالت S2 و در نهایت با 1 شدن دوبارۀ مدار دوباره به حالت S0 می­رویم. پس از آن به دلیل 1 ماندن ورودی دوباره در لبۀ بالاروندۀ بعدی به S1 رفته و در ادامه در حالت S1 باقی می­مانیم.

این رفتار به طور کامل با دیاگرام حالت داده شده مطابقت دارد.

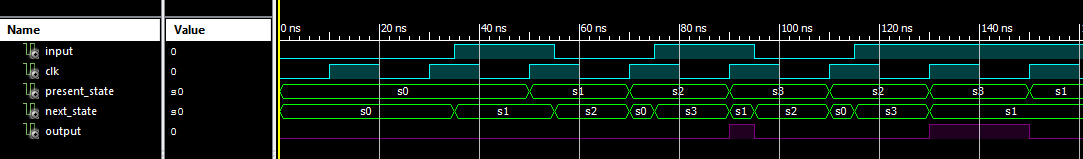
1. **ماژول mealy\_1011**

در این قسمت از آزمایش خواسته شده یک مدار Sequence detector برای رشتۀ 1011 طراحی کنیم. ابتدا می­خواهیم یک ماشین حالت Mealy برای این مدار طراحی کنیم. برای این کار ابتدا دیاگرام حالت آن را بدست می­آوریم. در این مدار از دیاگرام حالتی مطابق شکل زیر استفاده شده است. همچنین در این مدار فرض شده برای رشته­ها قابلیت همپوشانی داریم. بنابراین پس از دریافت رشتۀ 1011 به حالت S1 می­رویم زیرا می­توان از 1 موجود در آخر این رشته در تشخیص رشتۀ بعدی نیز استفاده کنیم.



این دیاگرام حالت مربوط به یک ماشین Mealy است، بنابراین خروجی­های آن وابسته به state و ورودی می­باشند. بنابراین بر روی هر فلش خروجی را در کنار ورودی مشخص میکنیم.

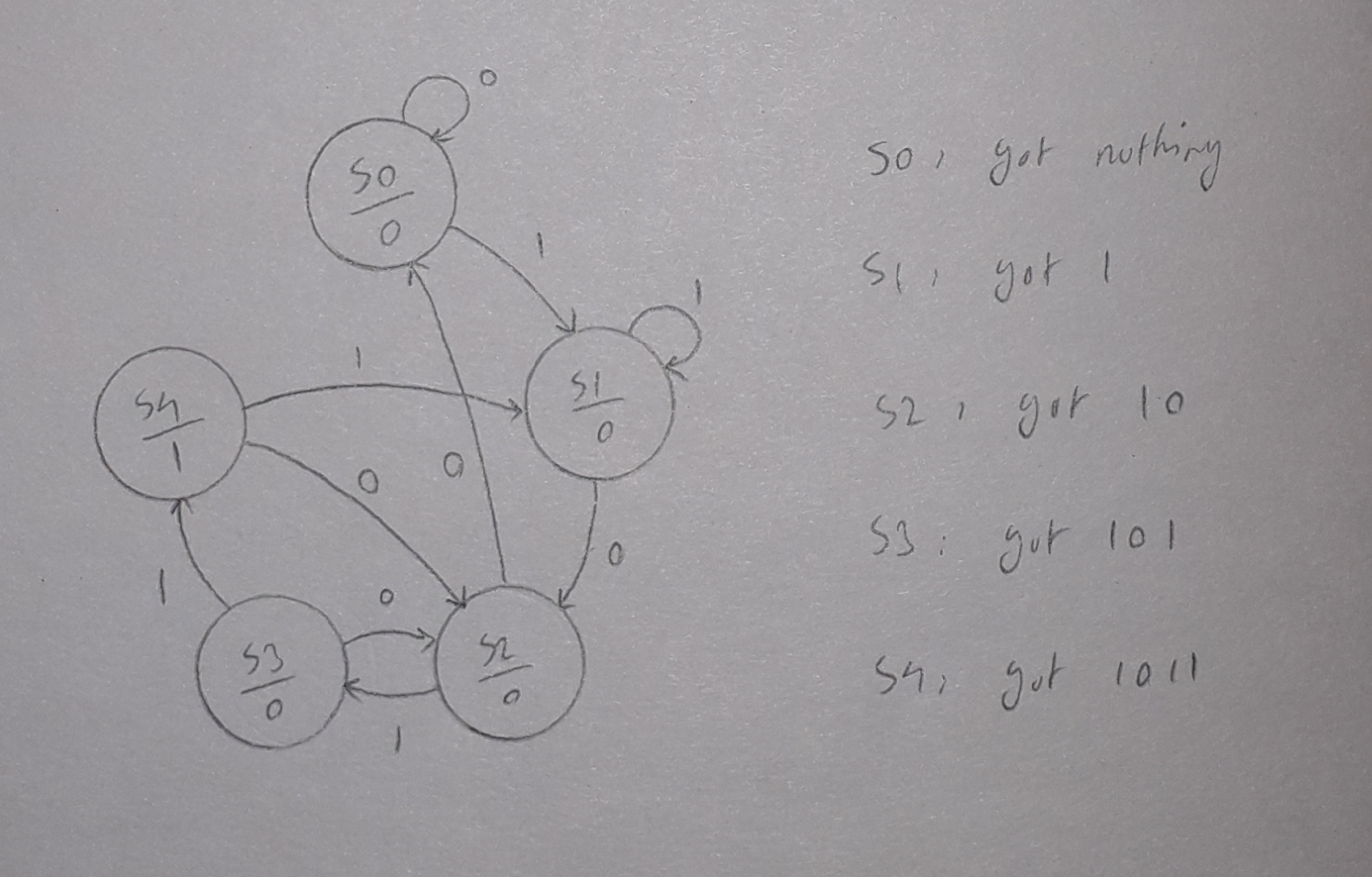
پس از آن شبیه سازی این مدار توسط test bench نوشته شده انجام شد، تا رفتار مدار را با دیاگرام حالت داده شده تطبیق داده و از صحت آن اطمینان حاصل کنیم. رفتار سیگنال های خروجی مدار در ادامه آمده است.



همانطور که پیش­تر گفته شد این مدار ترتیبی یک مدار Mealy است، بنابراین در این مدار خروجی­ها ممکن است به محض تغییر ورودی و یا state و پیش از آمدن لبۀ بالاروندۀ کلاک تغییر کنند. این رفتار در شکل بالا مشاهده می­شود. ابتدا به صورت پیش­فرض در حالت S0 بوده­ایم. با 1 شدن ورودی مدار در لبۀ بالاروندۀ بعدی به حالت S1، با 0 شدن ورودی مدار در لبۀ بالاروندۀ بعدی به حالت S2 و در نهایت با 1 شدن ورودی مدار در لبۀ بالاروندۀ بعدی به حالت S3 می­رویم. در لحظۀ ورودی به S3 ورودی مدار نیز برابر با یک است بنابراین بدون منتظر ماندن برای لبۀ بالاروندۀ بعدی کلاک، خروجی مدار 1 می­شود و رشتۀ مطلوب تشخیص داده می­شود. به دلیل همپوشانی داشتن این مدار در لبۀ کلاک بعدی به حالت S1 رفته و مانند پیش با مشاهدۀ دوبارۀ رشتۀ 1011 برای بار دیگر خروجی را 1 می­کنیم.

**ماژول moore\_1011**

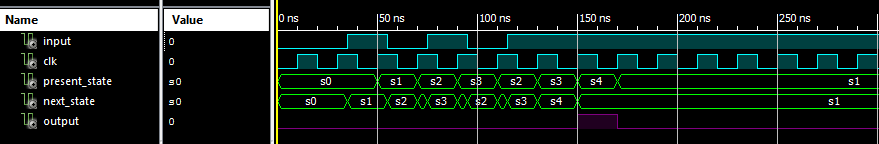
این بار همان ماشین حالت بالا را به صورت یک ماشین حالت Moore پیاده سازی می­کنیم. برای این کار ابتدا دیاگرام حالت آن را بدست می­آوریم. در این مدار از دیاگرام حالتی مطابق شکل زیر استفاده شده است. همچنین مانند قسمت قبل در این مدار فرض شده برای رشته­ها قابلیت همپوشانی داریم. بنابراین پس از دریافت رشتۀ 1011 به حالت S1 می­رویم زیرا می­توان از 1 موجود در آخر این رشته در تشخیص رشتۀ بعدی نیز استفاده کنیم.



برای طراحی این ماشین حالت به صورت ماشین حالت Moore نیاز به یک state بیش­تر داریم. زیرا خروجی تنها وابسته به state می­باشد و ناچاریم یک state جداگانه S4 را با خروجی یک به دیاگرام حالت خود اضافه کنیم.

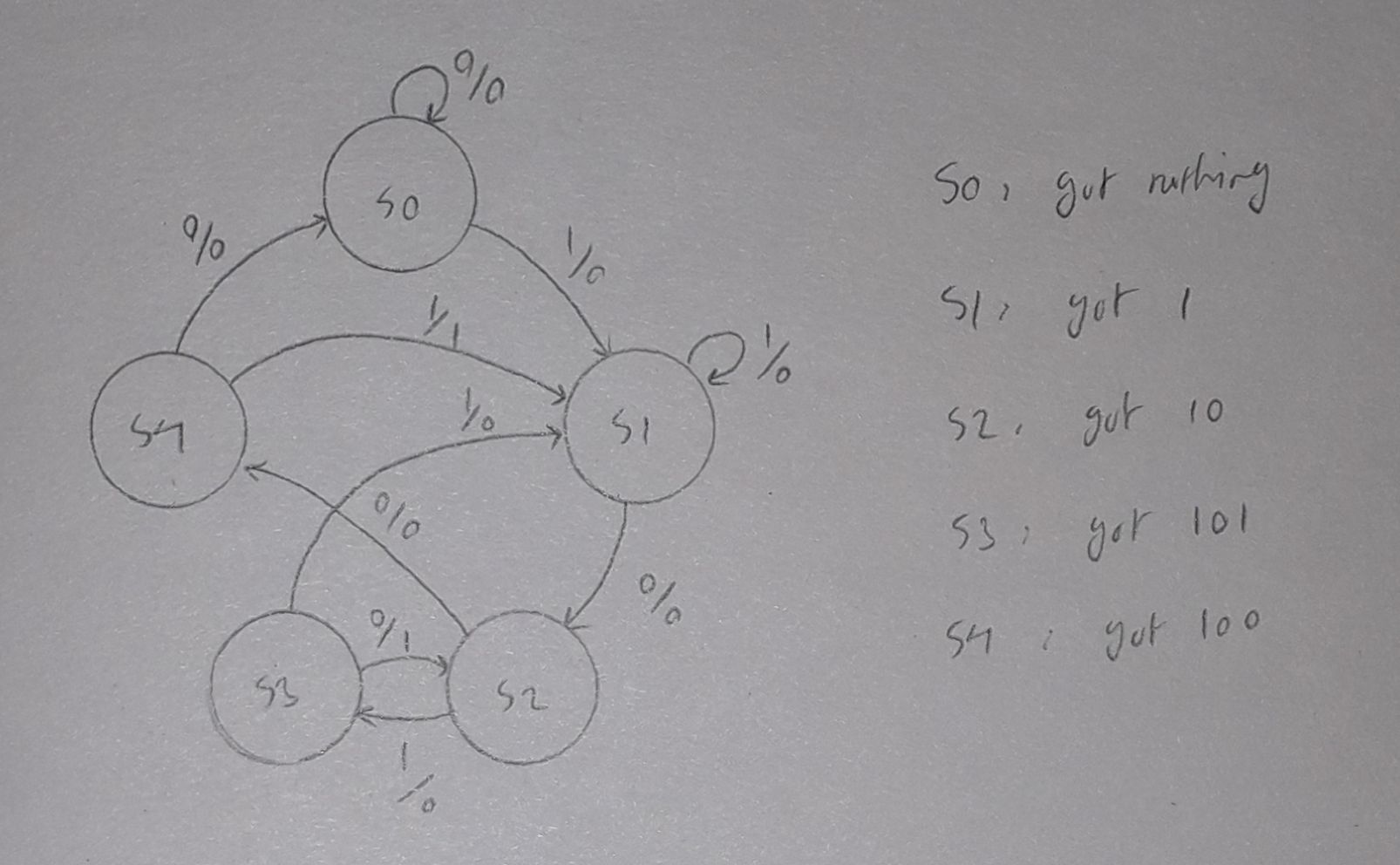
پس از آن شبیه سازی این مدار توسط test bench نوشته شده انجام شد، تا رفتار مدار را با دیاگرام حالت داده شده تطبیق داده و از صحت آن اطمینان حاصل کنیم. رفتار سیگنال های خروجی مدار در ادامه آمده است.

این بار در شکل سیگنال خروجی تفاوت­هایی دیده می­شود. در یک مدار Moore خروجی­ها تنها با آمدن لبۀ بالاروندۀ کلاک تغییر می­کنند، بنابراین همانطور که در این شکل دیده می­شود، برخلاف شکل قبلی خروجی تنها یکبار یک شده. زیرا باید دقیقا در زمان لبه­های بالاروندۀ کلاک توالی 1011 را در ورودی مشاهده کنیم و رشته­ای که در اینجا به ازای لبه­های بالاروندۀ کلاک دیده می­شود 0101011 است، لذا تنها به ازای چهار لبۀ کلاک آخر رشتۀ مورد نظر را تشخیص داده و خروجی 1 داریم.

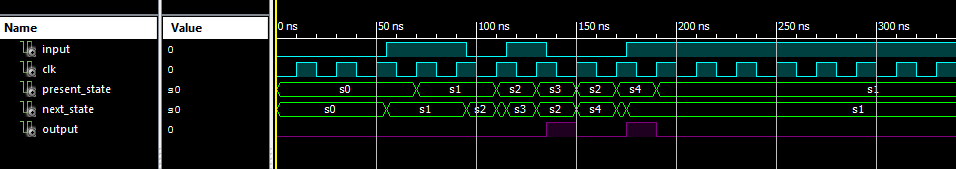


1. **ماژول mealy\_1010\_1001**

در این قسمت از آزمایش خواسته شده یک مدار Sequence detector برای رشته­های 1010 و 1001 طراحی کنیم. در این قسمت یک ماشین حالت Mealy برای این مدار طراحی می­کنیم. برای این کار ابتدا دیاگرام حالت آن را بدست می­آوریم. در این مدار از دیاگرام حالتی مطابق شکل زیر استفاده شده است. همچنین در این مدار فرض شده برای رشته­ها قابلیت همپوشانی داریم. بنابراین برای مثال پس از دریافت رشتۀ 1010 به حالت S2 می­رویم زیرا می­توان از 10 موجود در انتهای این رشته در تشخیص رشتۀ بعدی نیز استفاده کنیم.



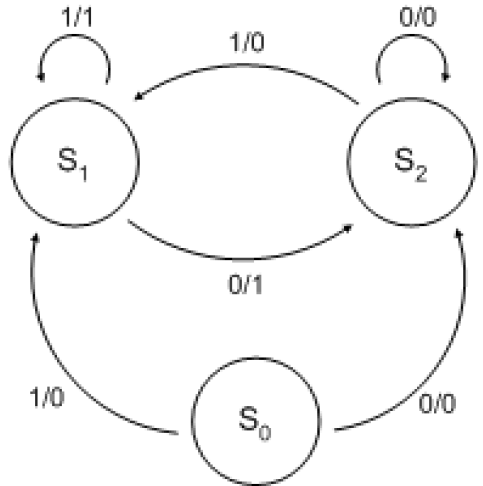
پس از آن شبیه سازی این مدار توسط test bench نوشته شده انجام شد، تا رفتار مدار را با دیاگرام حالت داده شده تطبیق داده و از صحت آن اطمینان حاصل کنیم. رفتار سیگنال های خروجی مدار در ادامه آمده است.



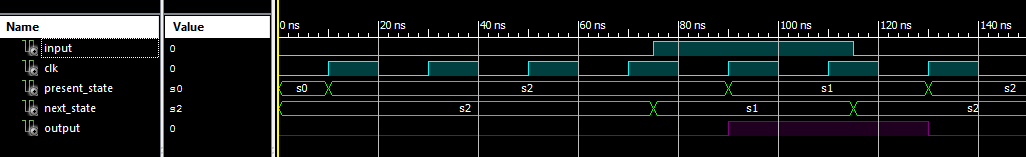
در این شکل ابتدا رشتۀ 1010 و سپس رشتۀ 1001 تشخیص داده شده و به ازای هر تشخیص خروجی یک می­شود، به گونه­ای که این دو رشته همپوشانی دارند (در حقیقت رشتۀ 101001 دریافت می­شود). همچنین طبق توضیحاتی که در پیش در رابطه با مدارهای Mealy داده شد، مشاهده می­شود که در این مدار خروجی­ها به محض تغییر ورودی و یا state و پیش از آمدن لبۀ بالاروندۀ بعدی کلاک تغییر می­کنند.

1. **ماژول mealy\_machine**

در این قسمت خواسته شده یک ماشین حالت Mealy طبق دیاگرام حالت رسم شده در دستورکار پیاده سازی کنیم. این دیاگرام حالت مربوط به یک ماشین حالت Mealy است زیرا خروجی­ها متناظر با ورودی­ها (و نه فقط state ها) رسم شده­اند.



پس از آن شبیه سازی این مدار توسط test bench نوشته شده انجام شد، تا رفتار مدار را با دیاگرام حالت داده شده تطبیق داده و از صحت آن اطمینان حاصل کنیم. رفتار سیگنال های خروجی مدار در ادامه آمده است.



همانطور که گفته شد این مدار مربوط به ماشین حالت Mealy است، بنابراین در این مدار خروجی­ها ممکن است به محض تغییر ورودی و یا state و پیش از آمدن لبۀ بالاروندۀ کلاک تغییر کنند. این رفتار در شکل بالا مشاهده می­شود. ابتدا به صورت پیش­فرض در حالت S0 بوده­ایم. با دیدن 0 در ورودی مدار در لبۀ بالاروندۀ بعدی به حالت S2 رفته و تا تغییر خروجی برای مدتی در آن می­مانیم. حال با 1 شدن ورودی مدار در لبۀ بالاروندۀ بعدی به حالت S1 رفته و با دیدن 1 در ورودی خروجی مدار را 1 می­کنیم. در این حالت نیز تا تغییر ورودی برای مدتی در حالت S1 مانده و با 0 شدن ورودی دوباره به حالت S2 رفته و خروجی نیز برابر با صفر می­شود.

این رفتار به طور کامل با دیاگرام حالت داده شده مطابقت دارد.